



(19)

(11) Publication number: 08321551 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 07128136

(51) Intl. H01L 21/82 H01L 21/768 H01L 27/04
Cl.: H01L 21/822

(22) Application date: 26.05.95

(30) Priority:

(43) Date of application publication: 03.12.96

(84) Designated contracting states:

(71) Applicant: HITACHI LTD

(72) Inventor: KOYAMA AKIO

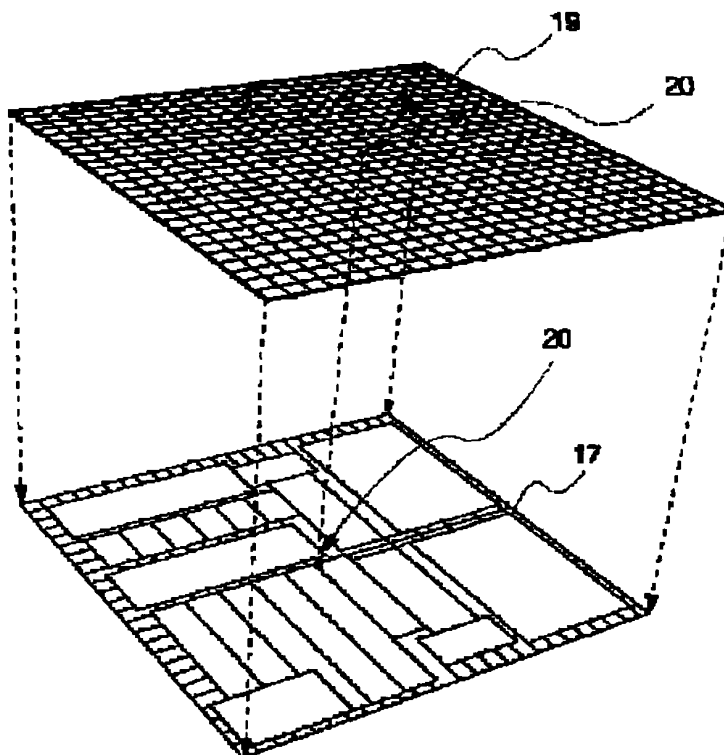
(74) Representative:

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS MANUFACTURE

(57) Abstract:

PURPOSE: To provide a semiconductor integrated circuit device of which has wirings of high performance and high reliability, and a manufacturing technique capable of easily manufacturing the device.

CONSTITUTION: This semiconductor integrated circuit device is provided with a wiring layer 17 as a power supply wiring which is arranged, via an interlayer insulating film, on a signal wiring arranged on the lower layer wiring in a multilayered wiring structure, and a wiring layer 19 as an auxiliary meshy power supply wiring which is arranged on the wiring layer 17 via an interlayer insulating film. The wiring layer 19 as the auxiliary meshy power supply wiring is electrically connected with a region of the wiring layer 17 of the power supply wiring which bears insufficient wiring characteristics in the wiring layer 17 as the power supply wiring, via a through hole wiring in a through hole 20 formed in the interlayer insulating film.



COPYRIGHT: (C)1996,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-321551

(43) 公開日 平成8年(1996)12月3日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/82		H 0 1 L	21/82
	21/768			L
	27/04			W
	21/822		21/90	A
			27/04	D

審査請求 未請求 請求項の数9 O L (全 11 頁)

(21) 出願番号	特願平7-128136	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22) 出願日	平成7年(1995)5月26日	(72) 発明者	小山 明夫 東京都青梅市今井2326番地 株式会社日立 製作所デバイス開発センタ内
		(74) 代理人	弁理士 筒井 大和

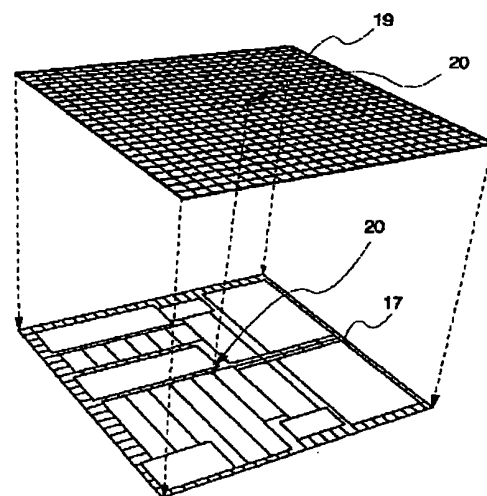
(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【目的】 高性能でしかも高信頼度の配線を備えている半導体集積回路装置と、それを簡単に製造できる製造技術を提供する。

【構成】 多層配線構造における下層配線に配置されている信号配線の上に層間絶縁膜を介して配置されている電源配線としての配線層17および配線層17の上に層間絶縁膜を介して配置されている補助のメッシュ状の電源配線としての配線層19を有し、電源配線としての配線層17における不十分な配線特性の電源配線の配線層17の領域に層間絶縁膜に設けられているスルーホール20におけるスルーホール用配線を通して補助のメッシュ状の電源配線としての配線層19が電気接続されているものとする。

図 15



17 : 配線層
19 : 配線層
20 : スルーホール

【特許請求の範囲】

【請求項 1】 多層配線構造における下層配線に配置されている信号配線、前記信号配線の上に第 1 の層間絶縁膜を介して配置されている第 1 の電源配線および前記第 1 の電源配線の上に第 2 の層間絶縁膜を介して配置されているメッシュ状の第 2 の電源配線を有し、前記第 1 の電源配線の選択的な領域に前記第 2 の層間絶縁膜に設けられているスルーホール用配線を通して前記第 2 の電源配線が電気接続されていることを特徴とする半導体集積回路装置。

【請求項 2】 請求項 1 記載の半導体集積回路装置において、前記第 2 の電源配線は多層配線構造における最上層の配線層が用いられていることを特徴とする半導体集積回路装置。

【請求項 3】 請求項 1 または 2 記載の半導体集積回路装置において、前記第 2 の電源配線のメッシュの大きさは、すべての前記第 1 の電源配線の上に前記第 2 の電源配線が配置されているような大きさとしていることを特徴とする半導体集積回路装置。

【請求項 4】 請求項 1、2 または 3 記載の半導体集積回路装置において、前記第 1 の電源配線は ASIC における電源配線であることを特徴とする半導体集積回路装置。

【請求項 5】 基板における半導体領域に半導体素子を形成する工程と、
前記基板の上に 1 層目および 2 層目の信号配線を形成する工程と、
前記信号配線の上に第 1 の層間絶縁膜を形成した後、前記第 1 の層間絶縁膜の上に第 1 の電源配線を形成する工程と、
前記第 1 の電源配線の上に第 2 の層間絶縁膜を形成した後、前記第 2 の層間絶縁膜の上にメッシュ状の第 2 の電源配線を形成する工程と、
前記第 1 の電源配線の選択的な領域の上における前記第 2 の層間絶縁膜および前記第 2 の電源配線にスルーホールを形成した後、前記スルーホールに導電性材料を埋め込むことにより、前記第 1 の電源配線の選択的な領域と前記第 2 の電源配線を電気接続する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 6】 請求項 5 記載の半導体集積回路装置の製造方法において、前記第 2 の電源配線のメッシュの大きさは、すべての前記第 1 の電源配線の上に前記第 2 の電源配線が配置されているような大きさとしていることを特徴とする半導体集積回路装置の製造方法。

【請求項 7】 請求項 5 または 6 記載の半導体集積回路装置の製造方法において、前記第 2 の電源配線のメッシュ状の配線ピッチは、第 1 の電源配線の配線ピッチの最小値としていることを特徴とする半導体集積回路装置の製造方法。

【請求項 8】 請求項 5、6 または 7 記載の半導体集積

回路装置の製造方法において、前記基板は、SOI 基板または半導体基板であることを特徴とする半導体集積回路装置の製造方法。

【請求項 9】 請求項 5、6、7 または 8 記載の半導体集積回路装置の製造方法において、前記第 1 の電源配線、前記第 2 の電源配線およびスルーホールを形成する工程は、自動配線システムを使用して行うことを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路装置およびその製造方法に関し、特に、高性能でしかも高信頼度の配線を有する半導体集積回路装置およびその製造技術に適用して有効な技術に関する。

【0002】

【従来の技術】半導体集積回路装置は、高集積化と微細加工化が推進されており、それに伴い配線構造も微細となり、優れた配線構造が要求されてきている。

【0003】近年、顧客の注文による仕様およびユーザーの要求する個々の機能あるいは回路に対応する半導体集積回路装置であるカスタム (custom) IC などの ASIC (Application Specific Integrated Circuit) において、顧客の注文およびユーザーの要求が種々あることに対応して少量多品種になることから、設計の容易化および製造工程のフレキシブル化が要求されている。

【0004】例えばゲートアレイ方式による ASIC では、ASIC の設計の容易化と製造工程のフレキシブル化のために、半導体集積回路装置の多層配線における下層配線層を用いてメッシュ状の電源配線を構成し、電源配線のメッシュの間に論理回路セルを複数個配置することが考えられる。

【0005】また、例えば手作業によるレイアウトを採用したマクロセルを多用しているプロセッサ IC などのカスタム IC では、高速高性能が要求されていることにより、多層配線における各層の配線層に電源配線を配置することが考えられる。

【0006】なお、論理ブロックを有する半導体集積回路装置における配線構造について記載されている文献としては、例えば特開昭 54-20680 号公報に記載されているものがある。

【0007】

【発明が解決しようとする課題】ところが、前述した半導体集積回路装置には、以下に述べるような種々の問題点があることを本発明者は見出した。

【0008】すなわち、(1) 例えばゲートアレイ方式による ASIC では、半導体集積回路装置の多層配線における下層配線層を用いてメッシュ状の電源配線を構成し、電源配線のメッシュの間に論理回路セルを複数個配置していることにより、メッシュ状の電源配線はオーバースペックになってしまい、必要以上の配線領域が電源

配線として使用されているので、半導体集積回路装置の集積度を低下させる原因となっている。

【0009】また、半導体集積回路装置の多層配線における下層配線層を用いてメッシュ状の電源配線を構成していることにより、制約条件が多くなり、多層配線における配線のレイアウトなどの設計上の選択性が制限されてしまい不十分な配線構造となるので、半導体集積回路装置の特性を低下させる原因となっている。

【0010】(2)例えば手作業によるレイアウトを採用したマクロセルを多用しているプロセッサICなどのカスタムICでは、多層配線における各層の配線に電源配線が配置されていることにより、電源配線以外の信号配線などの複雑な配線が多層配線の各層の配線に配置されているので、高性能な電源配線を十分に設けることが困難となるので、耐ノイズ性の劣化などが発生し、高性能な電源配線を得ることができないという問題点が発生している。

【0011】本発明の目的は、高性能でしかも高信頼度の配線を備えている半導体集積回路装置を提供することにある。

【0012】本発明の目的は、高性能でしかも高信頼度の配線を備えている半導体集積回路装置を簡単に製造できる製造技術を提供することにある。

【0013】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0014】

【課題を解決するための手段】本発明において開示される発明のうち、代表的なものの概要を説明すれば、以下の通りである。

【0015】(1)本発明の半導体集積回路装置は、多層配線構造における下層配線に配置されている信号配線、信号配線の上に第1の層間絶縁膜を介して配置されている第1の電源配線および第1の電源配線の上に第2の層間絶縁膜を介して配置されているメッシュ状の第2の電源配線を有し、第1の電源配線の選択的な領域に第2の層間絶縁膜に設けられているスルーホール用配線を通して第2の電源配線が電気接続されているものとする。

【0016】(2)本発明の半導体集積回路装置の製造方法は、基板における半導体領域に半導体素子を形成した基板の上に1層目および2層目の信号配線を形成する工程と、信号配線の上に第1の層間絶縁膜および第1の電源配線を形成する工程と、第1の電源配線の上に第2の層間絶縁膜およびメッシュ状の第2の電源配線を形成する工程と、第1の電源配線の選択的な領域の上における第2の層間絶縁膜および第2の電源配線にスルーホールを形成した後、スルーホールに導電性材料を埋め込むことにより、第1の電源配線の選択的な領域と第2の電源配線を電気接続する工程を有するものとする。

【0017】

【作用】

(1)前記した本発明の半導体集積回路装置によれば、多層配線構造における信号配線の上に第1の層間絶縁膜を介して配置されている第1の電源配線および第1の電源配線の上に第2の層間絶縁膜を介して配置されているメッシュ状の第2の電源配線を有し、第1の電源配線の選択的な領域に第2の層間絶縁膜に設けられているスルーホール用配線を通して第2の電源配線が電気接続されていることにより、電源配線は信号配線のレイアウトに制限されることなく独自の設計基準によりレイアウトできると共に第1の電源配線の不十分な配線特性の領域に第2の電源配線をスルーホール用配線を通して電気接続できるので、十分な配線特性を有する第1の電源配線とすることができる。

【0018】したがって、十分な配線特性を有する電源配線を備えていることにより、電源供給率が完全な状態を有するものとなり、異常な電源供給状態を防止することにより、エレクトロマイグレーションの発生およびノイズマージンの低下などが発生することを防止できるので、高速動作ができるなどの配線層の性能および信頼度を高めることができる。

【0019】また、信号配線の上層に第1の電源配線および第2の電源配線を配置していると共に第1の電源配線と第2の電源配線との電気接続をスルーホール用配線のみで行っていることにより、電源配線は信号配線のレイアウトに制限されることなく独自の設計基準によりレイアウトできると共に配線用領域を最小限にすることができるので、高集積度の半導体集積回路装置とすることができる。

【0020】(2)前記した本発明の半導体集積回路装置の製造方法によれば、信号配線の上に第1の層間絶縁膜および第1の電源配線を形成する工程と、第1の電源配線の上に第2の層間絶縁膜およびメッシュ状の第2の電源配線を形成する工程と、第1の電源配線の選択的な領域の上における第2の層間絶縁膜および第2の電源配線にスルーホールを形成した後、スルーホールに導電性材料を埋め込むことにより、第1の電源配線の選択的な領域と第2の電源配線を電気接続する工程を有するものであることにより、信号配線の上層に第1の電源配線および第2の電源配線を配置していると共に第1の電源配線と第2の電源配線との電気接続をスルーホール用配線のみで行っているので、電源配線は信号配線のレイアウトに制限されることなく独自の設計基準により簡単にレイアウトできると共にスルーホール用配線のみで簡単に第1の電源配線と第2の電源配線を電気接続できるので、配線用領域を最小限にすることにより高集積化できると共に簡単な製造工程により半導体集積回路装置を製造することができる。

【0021】

【実施例】以下、本発明の実施例を図面に基づいて詳細に説明する。なお、実施例を説明するための全図において同一機能を有するものは同一の符号を付し、重複説明は省略する。

【0022】図1～図12は、本発明の一実施例である半導体集積回路装置の製造工程を示す断面図である。同図を用いて、本発明の半導体集積回路装置およびその製造方法を具体的に説明する。

【0023】本実施例の半導体集積回路の製造方法は、例えばカスタムICなどのASICの製造方法である。

【0024】まず、図1に示すように、例えばp型のシリコン単結晶などからなる半導体基板1の表面の選択的な領域である素子分離領域に熱酸化処理を用いて酸化シリコン膜からなるフィールド絶縁膜2を形成する。なお、図示を省略しているがフィールド絶縁膜2の下に反転防止用のチャネルストッパ層を形成している。

【0025】次に、図2に示すように、フィールド絶縁膜2によって囲まれた活性領域に酸化シリコンからなるゲート絶縁膜3を形成し、このゲート絶縁膜3上に多結晶シリコンからなるゲート電極4を形成する。ゲート電極4は、半導体基板1の上に多結晶シリコン膜および酸化シリコン膜からなる絶縁膜5を順次堆積し、これらを順次エッチングして形成する。その後、ゲート電極4の側壁に酸化シリコンからなるサイドウォール絶縁膜6を形成する。

【0026】次に、半導体基板1に例えばリン(P)などのn型の不純物をイオン注入してソースおよびドレインとなるn型半導体領域7を形成する。

【0027】次に、図3に示すように、半導体基板1の上に絶縁膜8を形成する。絶縁膜8は、CVD法により形成した酸化シリコン膜などを使用することができる。

【0028】前述した半導体集積回路装置の製造工程は、半導体基板1に例えばカスタムICなどのASICの構成要素である半導体素子としてpチャネルMOSFETを形成した形態であるが、半導体基板1にpチャネルMOSFET以外のnチャネルMOSFET、CMOSFET、バイポーラトランジスタ、容量素子などの種々の半導体素子を形成した態様を採用することができる。

【0029】また、例えばカスタムICなどのASICの構成要素である半導体素子を形成する基板としては、半導体基板とは別の基板であるSOI(Silicon on Insulator)構造の絶縁性領域の上にシリコンの単結晶薄膜が形成されているSOI基板を用いることができる。

【0030】また、先述した半導体集積回路装置の製造工程は、先行技術を種々組み合わせて行えるものである。本発明の半導体集積回路装置およびその製造方法の主要部は、半導体集積回路装置の配線層およびその製造方法にある。このことを踏まえて、今後の説明を簡便化するために、前述した製造工程によって形成した半導体

基板1をスターティングマテリアルとしてpチャネルMOSFETを形成したものを基体9として包括的に図示し、内部構造を有する基体9における内部構造を省略すると共に、図示上の寸法を縮小して示すことにする。

【0031】次に、図4に示すように、基体9の表面に信号配線としての1層目の配線層10を形成する。1層目の配線層10は、例えばアルミニウム層をCVD(Chemical Vapor Deposition)法により形成する。この配線層10の材料としては、耐ストレスマイグレーションおよび耐エレクトロマイグレーションという特性を確保するために、配線層10としてのアルミニウム層に対し、その下層または上層として窒化チタン(TiN)層などの高融点金属層を使用して配線構造を積層化した配線層を使用することができる。また、配線層10としては、多結晶シリコン層や多結晶シリコン層と高融点シリサイド層を積層化したものなどの電気導電性のあるものを組み合わせたものを使用することができる。

【0032】なお、配線層10は、図示を省略している領域に、絶縁膜8に設けられているスルーホールを通して電気接続されている配線層を含んでおり、n型半導体領域7と電気接続される配線層などをも含んでいる。

【0033】次に、配線層10の表面にフォトレジスト膜11を形成する。

【0034】次に、図5に示すように、フォトリソグラフィ技術を用いて1層目の配線層用のフォトマスクを使用してフォトレジスト膜11に1層目の配線層用のパターンを形成する。

【0035】次に、フォトレジスト膜11をエッチング用マスクとして使用して、配線層10をドライエッチング法またはウェットエッチング法によって選択的にエッチングを行い、配線層10をパターン化する。次に、不要となったフォトレジスト膜11を取り除く作業を行う。

【0036】次に、図6に示すように、1層目の配線層10を被覆するように全面に1層目の層間絶縁膜12を形成する。層間絶縁膜12は、例えば酸化シリコン膜をCVD法により形成した後、表面の平坦化を行うためにSOG(Spin On Glass)膜を回転塗布装置(スピナ)を用いて形成する。なお、層間絶縁膜12は、例えば酸化シリコン膜をCVD法により形成した後、PSG(Phospho Silicate Glass)膜またはBPSG(Boro Phospho Silicate Glass)膜などをCVD法により形成した積層構造の層間絶縁膜などの種々の態様とすることができる。

【0037】次に、層間絶縁膜12の表面にフォトレジスト膜13を形成する。

【0038】次に、図7に示すように、フォトリソグラフィ技術を用いてスルーホール用のフォトマスクを使用してフォトレジスト膜13にスルーホール用のパターンを形成する。

【0039】次に、フォトリソ膜13をエッチング用マスクとして使用して、層間絶縁膜12をドライエッチング法またはウエットエッチング法によって選択的にエッチングを行い、層間絶縁膜12の選択的な領域にスルーホール14を形成する。次に、不要となったフォトリソ膜13を取り除く作業を行う。

【0040】次に、図8に示すように、スルーホール14および層間絶縁膜12の上に信号配線としての2層目の配線層15を形成する。配線層15は、例えばアルミニウム層をCVD法により形成する。2層目の配線層15は、前述した1層目の配線層10と同様の材料からなる積層構造の配線層などの種々の態様とすることができる。

【0041】次に、フォトリソグラフィ技術と選択エッチング技術を用いて信号配線としてのパターンを2層目の配線層15に形成する。

【0042】次に、2層目の配線層15の上に2層目の層間絶縁膜16を形成した後、電源配線としての3層目の配線層17を形成する。2層目の層間絶縁膜16は、1層目の層間絶縁膜12と同様な材料を用いて行うことができる。また、電源配線としての3層目の配線層17は、1層目の配線層10または2層目の配線層15と同様な材料を用いて行うことができる。

【0043】なお、配線層17は、図示を省略している領域に、絶縁膜16に設けられているスルーホールを通して電気接続されている配線層を含んでおり、n型半導体領域7と電気接続される配線層などをも含んでいる。

【0044】次に、図9に示すように、フォトリソグラフィ技術と選択エッチング技術を用いて電源配線としてのパターンを3層目の配線層17に形成する。

【0045】すなわち、配線層17の表面にフォトリソ膜を形成した後、フォトリソグラフィ技術を用いて3層目の配線層用のフォトマスクを使用してフォトリソ膜に3層目の配線層用のパターンを形成する。

【0046】次に、フォトリソ膜をエッチング用マスクとして使用して、配線層17をドライエッチング法またはウエットエッチング法によって選択的にエッチングを行い、配線層17をパターン化する。次に、不要となったフォトリソ膜を取り除く作業を行う。

【0047】図13は、本実施例の半導体集積回路装置のチップにおける電源配線としての3層目の配線層17を示す概略平面図である。

【0048】次に、図10に示すように、電源配線としての3層目の配線層17の上に3層目の層間絶縁膜18を形成した後、補助の電源配線としての4層目の配線層19を形成する。3層目の層間絶縁膜17は、1層目の層間絶縁膜12または2層目の層間絶縁膜16と同様な材料を用いて行うことができる。また、電源配線としての4層目の配線層19は、1層目の配線層10、2層目の配線層15または3層目の配線層17と同様な材料を

用いて行うことができる。

【0049】次に、フォトリソグラフィ技術と選択エッチング技術を用いて補助のメッシュ状の電源配線としてのパターンを4層目の配線層19に形成する。

【0050】すなわち、配線層19の表面にフォトリソ膜を形成した後、フォトリソグラフィ技術を用いて4層目の配線層用のフォトマスクを使用してフォトリソ膜に4層目の配線層用のパターンを形成する。

【0051】次に、フォトリソ膜をエッチング用マスクとして使用して、配線層19をドライエッチング法またはウエットエッチング法によって選択的にエッチングを行い、配線層19をパターン化する。次に、不要となったフォトリソ膜を取り除く作業を行う。

【0052】図14は、本実施例の半導体集積回路装置のチップにおけるメッシュ状の電源配線としての4層目の配線層19を示す概略平面図である。

【0053】この場合、補助のメッシュ状の電源配線としての4層目の配線層19において、例えばメッシュ状の電源配線の配線ピッチを電源配線としての3層目の配線層17の配線ピッチの最小値としている態様などを採用することにより、補助の電源配線としての配線層19のメッシュの大きさをすべての電源配線としての3層目の配線層17の上に4層目のメッシュ状の電源配線としての配線層19が配置されているような大きさとしている。

【0054】次に、図11に示すように、電源配線としての3層目の配線層17における配線特性の不十分な領域を検出した後、その領域の上の層間絶縁膜18および4層目の配線層19にフォトリソグラフィ技術および選択エッチング技術を用いてスルーホール20を形成する。

【0055】電源配線としての3層目の配線層17における配線特性の不十分な領域の検出は、例えばシミュレーションによる解析などの検査により行うことができる。

【0056】図15は、本実施例の半導体集積回路装置のチップにおけるスルーホール20の位置を示す概略斜視図である。なお、図15は、図示上の明白化および簡略化により各領域の寸法を実際とは異なる状態としており、共に透視した状態として模式的に図示している。

【0057】次に、図12に示すように、スルーホール20に導電性材料を埋め込むことにより、スルーホール用配線21を形成する。

【0058】次に、スルーホール用配線21を形成した後、例えばシミュレーションによる解析などの検査を行い、電源配線としての3層目の配線層17における配線特性が不十分な領域が補強されているか否かを検査する。

【0059】検査の結果、電源配線としての3層目の配線層17における配線特性が不十分な領域が補強されて

いない場合には、前述したスルーホール 20 の形成およびスルーホール用配線 21 の形成を再度行い、補助のメッシュ状の電源配線としての 4 層目の配線層 19 を用いて完全な配線特性を有する電源配線とする。

【0060】この製造工程により、電源配線としての 3 層目の配線層 17 における配線特性の不十分な領域とメッシュ状の電源配線としての 4 層目の配線層 19 を電気接続することができることにより、電源配線としての 3 層目の配線層 17 における配線特性の不十分な領域は、メッシュ状の電源配線としての 4 層目の配線層 19 が電気接続されて補強された構造とすることができるので、3 層目の電源配線および 4 層目のメッシュ状の電源配線からなる電源配線の配線特性として十分なものとすることができる。

【0061】なお、図 15 において、スルーホール 20 は、図示上の簡略化を目的として 1 個だけ図示しているが、不完全な配線特性を有する電源配線としての配線層 17 の複数の領域の上にそれに対応して複数のスルーホール 20 が形成されている。

【0062】本実施例の半導体集積回路装置における補助のメッシュ状の電源配線としての 4 層目の配線層 19 において、例えばメッシュ状の電源配線の配線ピッチを電源配線としての 3 層目の配線層 17 の配線ピッチの最小値としている態様などの補助の電源配線としての配線層 19 のメッシュの大きさをすべての電源配線としての 3 層目の配線層 17 の上に 4 層目のメッシュ状の電源配線としての配線層 19 が配置されているような大きさとしている。

【0063】したがって、下層の配線層つまり電源配線としての 3 層目の配線層 17 の配線パターンが決定されてから、その状況に応じて補助のメッシュ状の電源配線としての配線層 19 のメッシュの大きさを決定することにより、例えばプロセッサ IC のような不規則なマイクロセルを多用している IC などの ASIC においても電源配線としての 3 層目の配線層 17 の配線パターンの設計に際して制約条件がなく大きな自由度があるので、電源配線の設計が容易となり、半導体集積回路装置の配線設計を支援する CAD システムを使用した自動配線システムを採用することができる。

【0064】また、電源配線としての 3 層目の配線層 17 の配線パターンが決定されてから、その状況に応じて補助のメッシュ状の電源配線としての配線層 19 のメッシュの大きさを決定することにより、電源配線としての配線層 17 のパターンに対応するデータを使用して半導体集積回路装置の配線設計を支援する CAD システムを使用した自動配線システムにより補助のメッシュ状の電源配線としての配線層 19 のパターンを形成することができるので、配線パターンを簡単な製造プロセスを用いて形成することができる。

【0065】さらに、スルーホール 20 およびスルーホ

ール用配線 21 の製造工程において、補助のメッシュ状の電源配線としての配線層 19 のパターンに対応するデータを使用して半導体集積回路装置の配線設計を支援する CAD システムを使用した自動配線システムを採用できるので、配線パターンを簡単な製造プロセスを用いて形成することができる。

【0066】次に、4 層目の配線層 19 の上に例えば酸化窒素膜などの表面保護膜（図示を省略）を形成することにより、半導体集積回路装置の製造工程を終了する。

【0067】前述した本実施例の半導体集積回路装置において、3 層目の配線層 17 および 4 層目の配線層 19 は、電源配線として専用的に使用しているが、他の態様として電源配線としての 3 層目の配線層 17 または 4 層目の配線層 19 の領域以外に余裕があれば必要に応じてその余裕の領域を信号配線として使用することにより、信号配線の厳しい状況を解除するために 3 層目または 4 層目の配線層の余裕の領域を信号配線として使用することができる。また、配線の設計上、必要に応じて 5 層目以上の配線層を用いて信号配線または電源配線を配置することができる。

【0068】本実施例の半導体集積回路装置において、多層配線構造における信号配線の上に層間絶縁膜 16 を介して配置されている電源配線としての配線層 17 および配線層 17 の上に層間絶縁膜 18 を介して配置されている補助のメッシュ状の電源配線としての配線層 19 を有し、電源配線としての配線層 17 の選択的な領域に層間絶縁膜 18 に設けられているスルーホール用配線 21 を通して補助のメッシュ状の電源配線としての配線層 19 が電気接続されている。

【0069】そのため、電源配線としての配線層 17 および配線層 19 は信号配線のレイアウトに制限されることなく独自の設計基準によりレイアウトできると共に電源配線としての配線層 17 の不十分な配線特性の領域に補助のメッシュ状の電源配線としての配線層 19 をスルーホール用配線 21 を通して電気接続できるので、十分な配線特性を有する電源配線とすることができる。

【0070】したがって、十分な配線特性を有する電源配線を備えていることにより、電源供給率が完全な状態を有するものとなり、異常な電源供給状態を防止することにより、エレクトロマイグレーションの発生およびノイズマージンの低下などが発生することを防止できるので、高速動作ができるなどの配線層の性能および信頼度を高めることができる。

【0071】また、信号配線の上層に電源配線を配置していると共に電源配線としての配線層 17 とメッシュ状の電源配線としての配線層 19 の電気接続をスルーホール用配線 21 のみで行っていることにより、電源配線は信号配線のレイアウトに制限されることなく独自の設計基準によりレイアウトできると共に配線用領域を最小限にすることができるので、高集積度の半導体集積回路装

置とすることができる。

【0072】本実施例の半導体集積回路装置の製造方法において、信号配線の上に層間絶縁膜16および電源配線としての配線層17を形成する工程と、配線層17の上に層間絶縁膜18およびメッシュ状の電源配線としての配線層19を形成する工程と、電源配線としての配線層17の選択的な領域の上における層間絶縁膜18およびメッシュ状の電源配線としての配線層19にスルーホール20を形成した後、スルーホール20に導電性材料を埋め込むことにより、電源配線としての配線層18の選択的な領域とメッシュ状の電源配線としての配線層19を電気接続する工程を有するものである。

【0073】そのため、信号配線の上層に電源配線を配置していると共に電源配線としての配線層17と補助のメッシュ状の電源配線としての配線層19の電気接続をスルーホール用配線21のみで行っているため、電源配線は信号配線のレイアウトに制限されることなく独自の設計基準により簡単にレイアウトできると共にスルーホール用配線21のみで簡単に電源配線としての配線層17と補助のメッシュ状の電源配線としての配線層19を電気接続できるので、配線領域を最小限にすることにより高集積化できると共に簡単な製造工程により半導体集積回路装置を製造することができる。

【0074】本実施例の半導体集積回路装置における補助のメッシュ状の電源配線としての4層目の配線層19において、例えばメッシュ状の電源配線の配線ピッチを電源配線としての3層目の配線層17の配線ピッチの最小値としている態様などの補助の電源配線としての配線層19のメッシュの大きさをすべての電源配線としての3層目の配線層17の上に4層目のメッシュ状の電源配線としての配線層19が配置されているような大きさとしている。

【0075】したがって、下層の配線層つまり電源配線としての3層目の配線層17の配線パターンが決定されてから、その状況に応じて補助のメッシュ状の電源配線としての配線層19のメッシュの大きさを決定することにより、例えばプロセッサICのような不規則なマクロセルを多用しているICなどのASICにおいても電源配線としての3層目の配線層17の配線パターンの設計に際して制約条件がなく大きな自由度があるので、電源配線の設計が容易となり、半導体集積回路装置の配線設計を支援するCADシステムを使用した自動配線システムを採用することができる。

【0076】また、電源配線としての3層目の配線層17の配線パターンが決定されてから、その状況に応じて補助のメッシュ状の電源配線としての配線層19のメッシュの大きさを決定することにより、電源配線としての配線層17のパターンに対応するデータを使用して半導体集積回路装置の配線設計を支援するCADシステムを使用した自動配線システムにより補助のメッシュ状の

電源配線としての配線層19のパターンを形成することができるので、配線パターンを簡単な製造プロセスを用いて形成することができる。

【0077】さらに、スルーホール20およびスルーホール用配線21の製造工程において、補助のメッシュ状の電源配線としての配線層19のパターンに対応するデータを使用して半導体集積回路装置の配線設計を支援するCADシステムを使用した自動配線システムを採用できるので、配線パターンを簡単な製造プロセスを用いて形成することができる。

【0078】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0079】たとえば、前述した実施例では、MOSFETを基板に設けた半導体集積回路装置およびその製造方法であったが、基板には、CMOSFET、バイポーラトランジスタまたはMOSFETとバイポーラトランジスタを組み合わせたBiMOSあるいはBiCMOS構造などの種々の半導体素子を有する半導体集積回路装置およびその製造技術に適用できる。

【0080】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0081】(1) 本発明の半導体集積回路装置において、多層配線構造における信号配線の上に層間絶縁膜を介して配置されている電源配線としての配線層および配線層の上に層間絶縁膜を介して配置されている補助のメッシュ状の電源配線としての配線層を有し、電源配線としての配線層の選択的な領域に層間絶縁膜に設けられているスルーホール用配線を通して補助のメッシュ状の電源配線としての配線層が電気接続されている。

【0082】そのため、電源配線としての配線層および補助のメッシュ状の電源配線としての配線層は信号配線のレイアウトに制限されることなく独自の設計基準によりレイアウトできると共に電源配線としての配線層の不十分な配線特性の領域に補助のメッシュ状の電源配線としての配線層をスルーホール用配線を通して電気接続できるので、十分な配線特性を有する電源配線とすることができる。

【0083】したがって、十分な配線特性を有する電源配線を備えていることにより、電源供給率が完全な状態を有するものとなり、異常な電源供給状態を防止することにより、エレクトロマイグレーションの発生およびノイズマージンの低下などが発生することを防止できるので、高速動作ができるなどの配線層の性能および信頼度を高めることができる。

【0084】また、信号配線の上層に電源配線を配置していると共に電源配線としての配線層とメッシュ状の電

源配線としての配線層の電気接続をスルーホール用配線のみで行っていることにより、電源配線は信号配線のレイアウトに制限されることなく独自の設計基準によりレイアウトできると共に配線用領域を最小限にすることができるので、高集積度の半導体集積回路装置とすることができる。

【0085】(2) 本発明の半導体集積回路装置の製造方法において、信号配線の上に層間絶縁膜および電源配線としての配線層を形成する工程と、配線層の上に層間絶縁膜およびメッシュ状の電源配線としての配線層を形成する工程と、電源配線としての配線層の選択的な領域の上における層間絶縁膜およびメッシュ状の電源配線としての配線層にスルーホールを形成した後、スルーホールに導電性材料を埋め込むことにより、電源配線としての配線層の選択的な領域とメッシュ状の電源配線としての配線層を電気接続する工程を有するものである。

【0086】そのため、信号配線の上層に電源配線を配置していると共に電源配線としての配線層と補助のメッシュ状の電源配線としての配線層の電気接続をスルーホール用配線のみで行っていることにより、電源配線は信号配線のレイアウトに制限されることなく独自の設計基準により簡単にレイアウトできると共にスルーホール用配線のみで簡単に電源配線としての配線層と補助のメッシュ状の電源配線としての配線層を電気接続できるので、配線用領域を最小限にすることにより高集積化できると共に簡単な製造工程により半導体集積回路装置を製造することができる。

【0087】(3) 本発明の半導体集積回路装置における補助のメッシュ状の電源配線としての4層目の配線層において、例えばメッシュ状の電源配線の配線ピッチを電源配線としての3層目の配線層の配線ピッチの最小値としている態様などの補助の電源配線としての配線層のメッシュの大きさをすべての電源配線としての3層目の配線層の上に4層目のメッシュ状の電源配線としての配線層が配置されているような大きさとしている。

【0088】したがって、下層の配線層つまり電源配線としての3層目の配線層の配線パターンが決定されてから、その状況に応じて補助のメッシュ状の電源配線としての配線層のメッシュの大きさを決定することにより、例えばプロセッサICのような不規則なマクロセルを多用しているICなどのASICにおいても電源配線としての3層目の配線層の配線パターンの設計に際して制約条件がなく大きな自由度があるので、電源配線の設計が容易となり、半導体集積回路装置の配線設計を支援するCADシステムを使用した自動配線システムを採用することができる。

【0089】また、電源配線としての3層目の配線層の配線パターンが決定されてから、その状況に応じて補助のメッシュ状の電源配線としての配線層のメッシュの大きさを決定することにより、電源配線としての配線層

のパターンに対応するデータを使用して半導体集積回路装置の配線設計を支援するCADシステムを使用した自動配線システムにより補助のメッシュ状の電源配線としての配線層のパターンを形成することができるので、配線パターンを簡単な製造プロセスを用いて形成することができる。

【0090】さらに、スルーホールおよびスルーホール用配線の製造工程において、補助のメッシュ状の電源配線としての配線層のパターンに対応するデータを使用して半導体集積回路装置の配線設計を支援するCADシステムを使用した自動配線システムを採用できるので、配線パターンを簡単な製造プロセスを用いて形成することができる。

【図面の簡単な説明】

【図1】本発明の一実施例である半導体集積回路装置の製造工程を示す断面図である。

【図2】本発明の一実施例である半導体集積回路装置の製造工程を示す断面図である。

【図3】本発明の一実施例である半導体集積回路装置の製造工程を示す断面図である。

【図4】本発明の一実施例である半導体集積回路装置の製造工程を示す断面図である。

【図5】本発明の一実施例である半導体集積回路装置の製造工程を示す断面図である。

【図6】本発明の一実施例である半導体集積回路装置の製造工程を示す断面図である。

【図7】本発明の一実施例である半導体集積回路装置の製造工程を示す断面図である。

【図8】本発明の一実施例である半導体集積回路装置の製造工程を示す断面図である。

【図9】本発明の一実施例である半導体集積回路装置の製造工程を示す断面図である。

【図10】本発明の一実施例である半導体集積回路装置の製造工程を示す断面図である。

【図11】本発明の一実施例である半導体集積回路装置の製造工程を示す断面図である。

【図12】本発明の一実施例である半導体集積回路装置の製造工程を示す断面図である。

【図13】本発明の一実施例である半導体集積回路装置のチップにおける電源配線としての3層目の配線層を示す概略平面図である。

【図14】本発明の一実施例である半導体集積回路装置のチップにおけるメッシュ状の電源配線としての4層目の配線層を示す概略平面図である。

【図15】本発明の一実施例である半導体集積回路装置のチップにおけるスルーホールの位置を示す概略斜視図である。

【符号の説明】

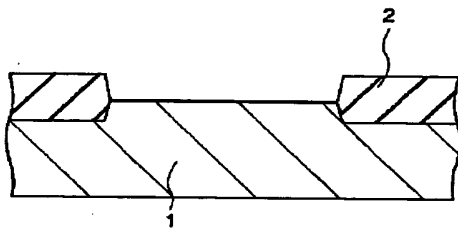
- 1 半導体基板
- 2 フィールド絶縁膜

- 3 ゲート絶縁膜
- 4 ゲート電極
- 5 絶縁膜
- 6 サイドウォール絶縁膜
- 7 n型半導体領域
- 8 絶縁膜
- 9 基体
- 10 配線層
- 11 フォトリソグ膜
- 12 層間絶縁膜

- 13 フォトリソグ膜
- 14 スルーホール
- 15 配線層
- 16 層間絶縁膜
- 17 配線層
- 18 層間絶縁膜
- 19 配線層
- 20 スルーホール
- 21 スルーホール用配線

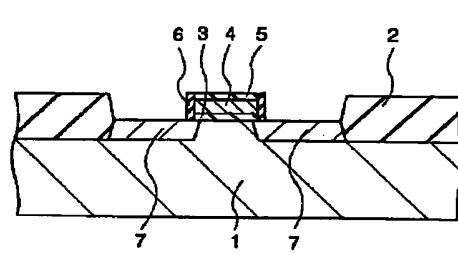
【図1】

図 1



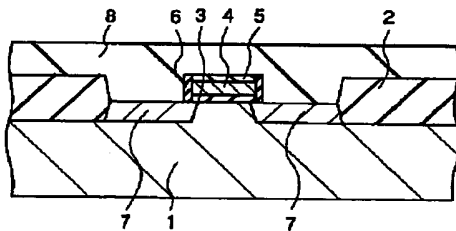
【図2】

図 2



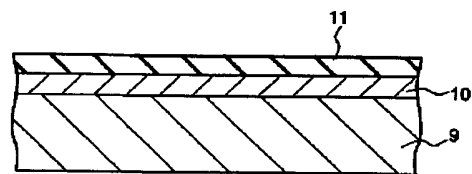
【図3】

図 3



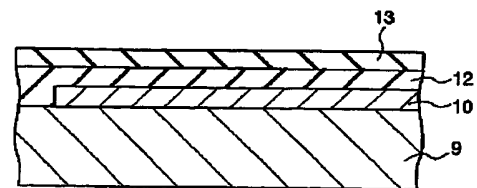
【図4】

図 4



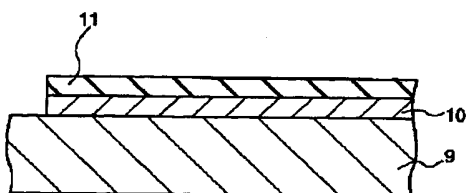
【図6】

図 6



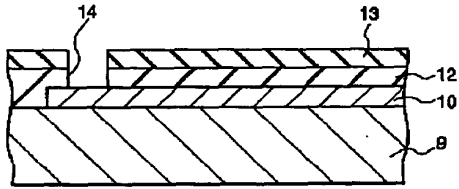
【図5】

図 5



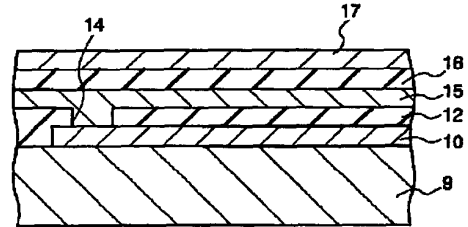
【図 7】

図 7



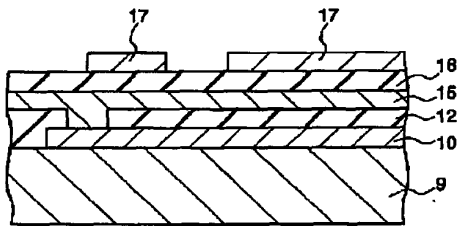
【図 8】

図 8



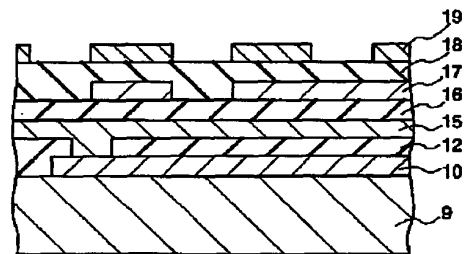
【図 9】

図 9



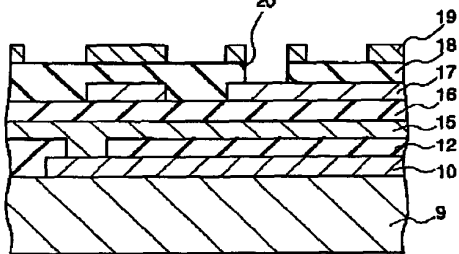
【図 10】

図 10



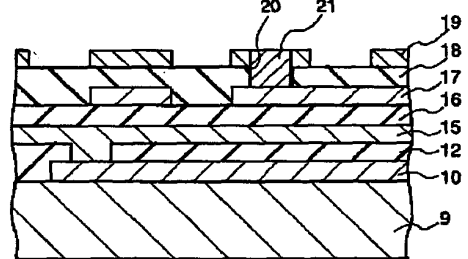
【図 11】

図 11



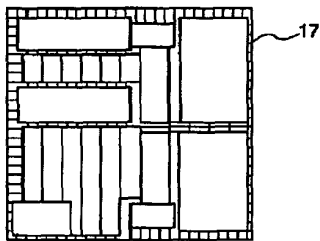
【図 12】

図 12



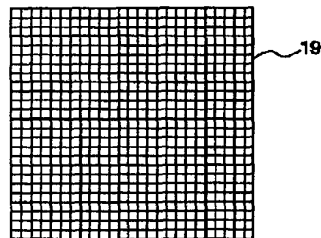
【図 13】

図 13



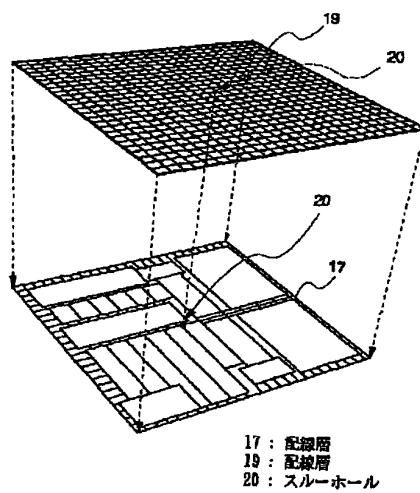
【図 14】

図 14



【図 15】

図 15



17 : 配線層
19 : 配線層
20 : スルーホール